

Optimisation du test de production de circuits analogiques et RF par des techniques de modélisation statistique

Nourredine Akkouche

Nourredine.Akkouche@imag.fr

Direction de la thèse :

Salvador Mir

Emmanuel Simeu

Laboratoire TIMA
Groupe RMS

Plan de travail

1. Problématiques

- Objectifs
- Test et métriques de test

2. Ordonnement et optimisation du test

- La méthode d'ordonnement
- La modélisation statistique
- Les méthodes de recherche
- La méthode de décomposition

3. Résultats expérimentaux

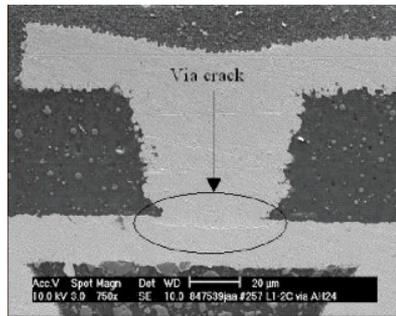
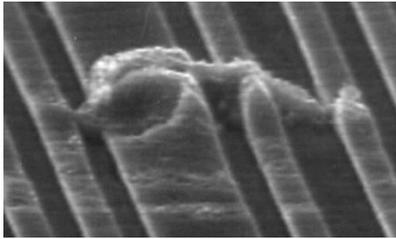
4. Conclusions et perspectives

1

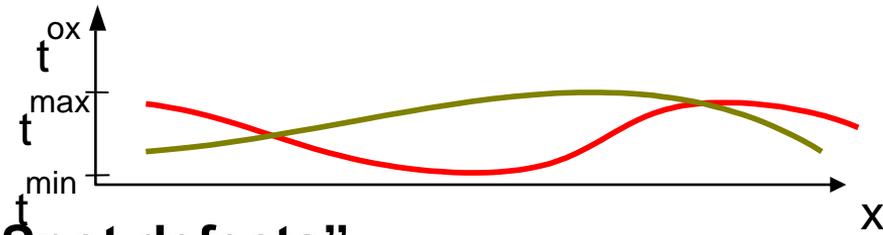
Problématique et objectifs

➤ Pourquoi tester les circuits?

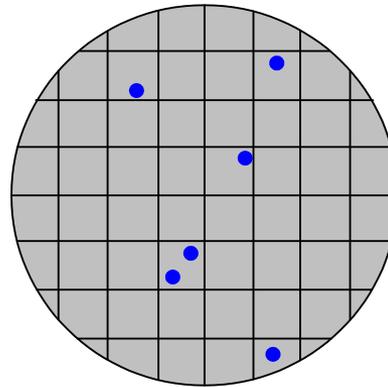
Défauts catastrophiques



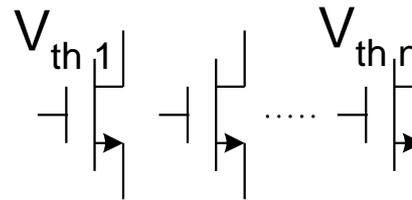
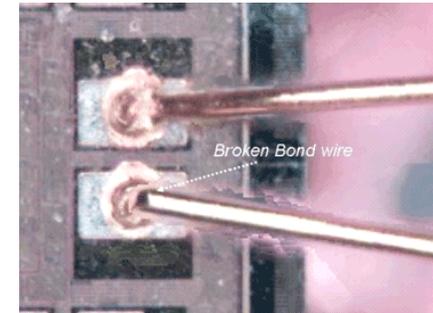
Gradients process sur la plaquette



“Spot defects”



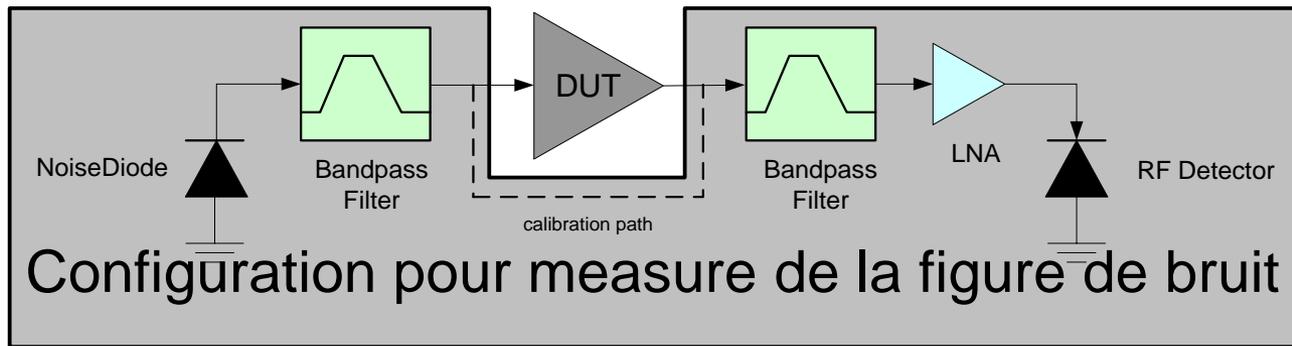
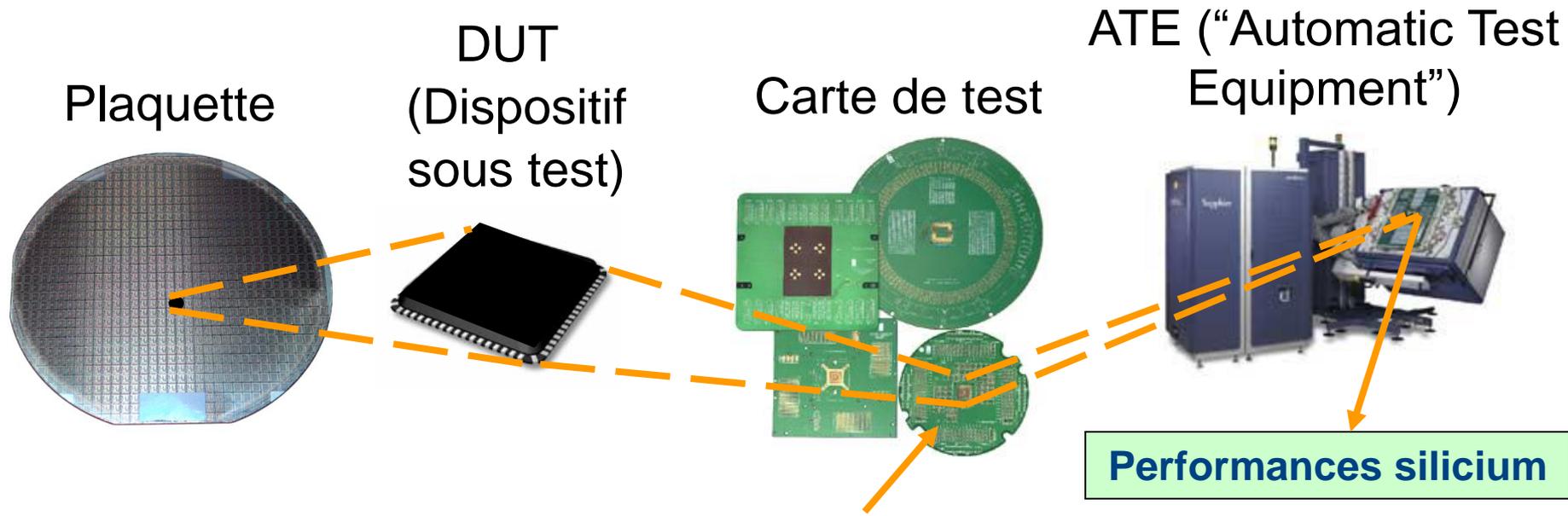
Défauts d'encapsulation



Défauts d'appareillement “mismatch”

1 Problématique et objectifs

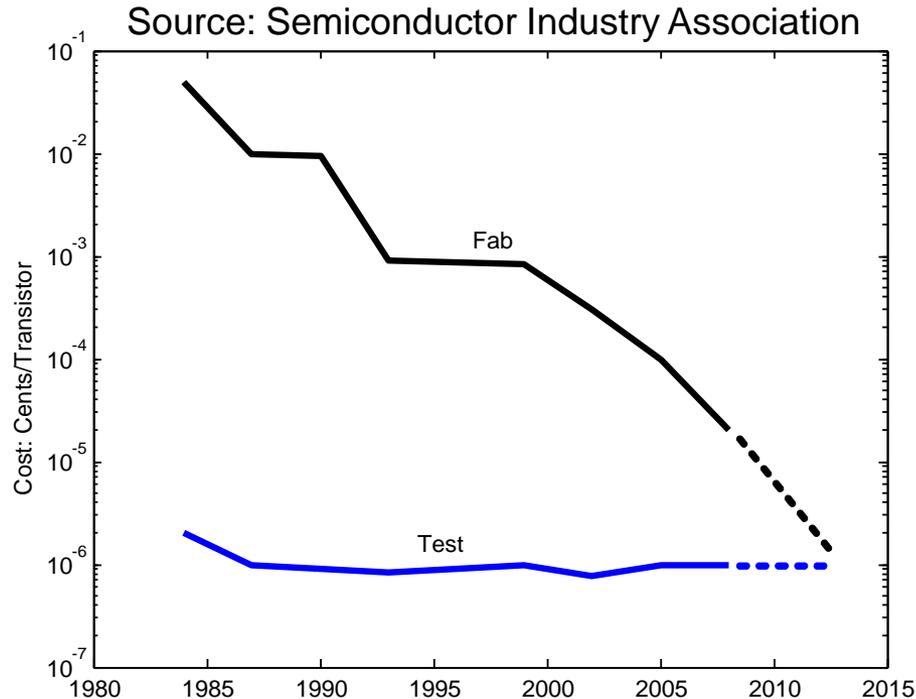
- Les circuits analogiques/RF sont validés par un test fonctionnel



1

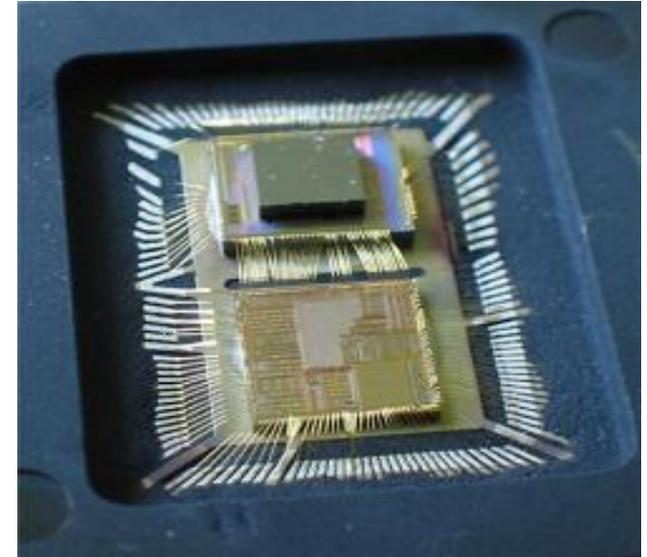
Problématique et objectifs

➤ Des solutions alternatives de test sont nécessaires ...



... si on veut continuer la miniaturisation des dispositifs et augmenter la vitesse de fonctionnement

SiP pour GSM (NXP FR)



... si on veut améliorer la fiabilité des dispositifs SoC et SiP

SOC: System On Chip

SIP: System In Package

1 Les métriques de test

Rendement (Yield)

$$Y = 8/13 = + / \textcircled{+}$$

Perte de rendement
(Yield coverage or Yield loss)

$$YC = 7/8 = \boxed{+} / +$$

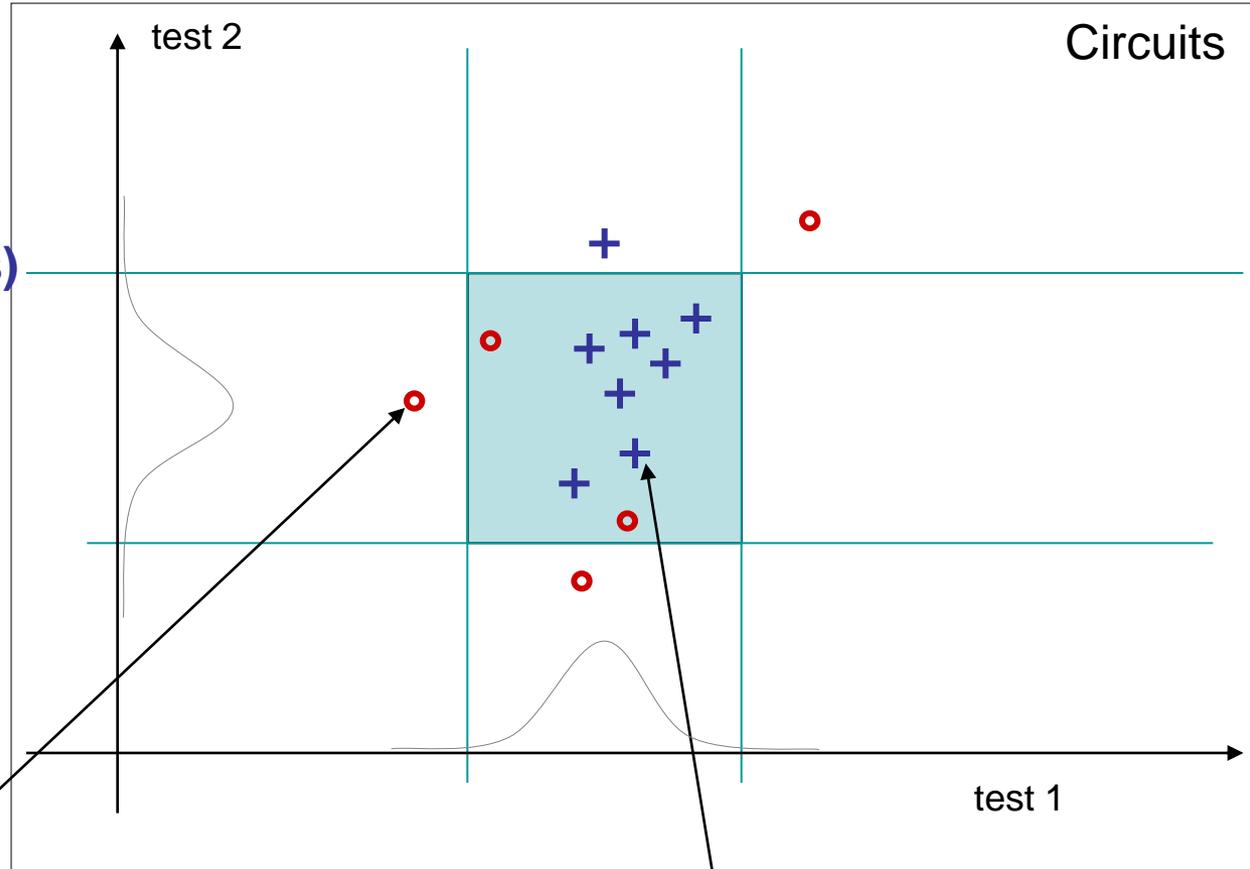
$$YL = 1 - YC$$

Rendement de test
(Test Yield)

$$YT = 9/13 = \boxed{+} \textcircled{+} / \textcircled{+}$$

Taux de défauts
(Defect level)

$$D = 2/9 = \textcircled{+} / \boxed{+}$$



+: circuits fonctionnels: Toutes les spec sont satisfaites

o: circuits défaillants: au moins une des spec est violée

1 Les métriques de test

❖ Définitions

- Rendement = Proportion des circuits fonctionnels
 $Y = P(\text{circuit est fonctionnel})$
- Rendement de test = Proportion des circuits passant le test
 $Y_T = P(\text{circuit passe le test})$
- Couverture de rendement = Proportion des circuits passant le test et qui sont fonctionnels
 $Y_C = P(\text{circuit passe le test/ fonctionnel})$
- Perte de rendement = Proportion des circuit échouant au test et qui sont fonctionnels
 $Y_L = 1 - \text{couverture de rendement}$
- Taux de défauts = Proportion des circuits défailants et qui passe le test
 $D = 1 - P(\text{circuit est fonctionnel/ passe le test})$

1

Calcul des métriques de test

Calculs
Théorique

$$Y = \int_A f_S(s) ds$$

$$Y_T = \int_B f_T(t) dt$$

$$Y_C = \frac{\int_A \int_B f_{ST}(s, t) ds dt}{Y}$$

$$D = 1 - \frac{\int_A \int_B f_{ST}(s, t) ds dt}{Y_T}$$

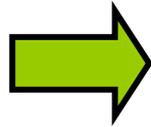
➤ Problèmes :

- La densité de probabilité conjointe doit être connue,
- Le calcul d'intégrales multiples (perte de précision, voire impossibilité de calcul),
- Utilisation de méthodes approximatives (mais besoin d'une précision au niveau ppm)

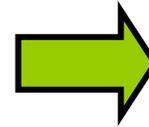
1

Estimation des métriques de test en utilisant la modélisation statistique

Simulations
Monte-Carlo
du circuit
sous test



Modélisation
statistique



Génération d'un grand
Échantillon à partir du modèle
statistique



$$\text{Rendement} = \frac{\text{Nombre de circuit fonctionnel}}{\text{Nombre total de circuit}}$$

$$\text{Rendement de test} = \frac{\text{Nombre de circuit passant le test}}{\text{Nombre total de circuit}}$$

$$\text{Perte de rendement} = \frac{\text{Nombre de circuit fonctionnel rejeté par le test}}{\text{Nombre de circuit fonctionnel}}$$

$$\text{Taux de défauts} = \frac{\text{Nombre de circuit défectueux passant le test}}{\text{Nombre de circuit passant le test}}$$

Estimation précise
des métriques de test

② La méthode d'ordonnancement

❖ Plusieurs techniques d'ordonnancement des tests analogiques existent:

- Apprentissage automatique (Machine learning)
- estimation des métriques de test
- Arbre binaire (binary trees)
- ...

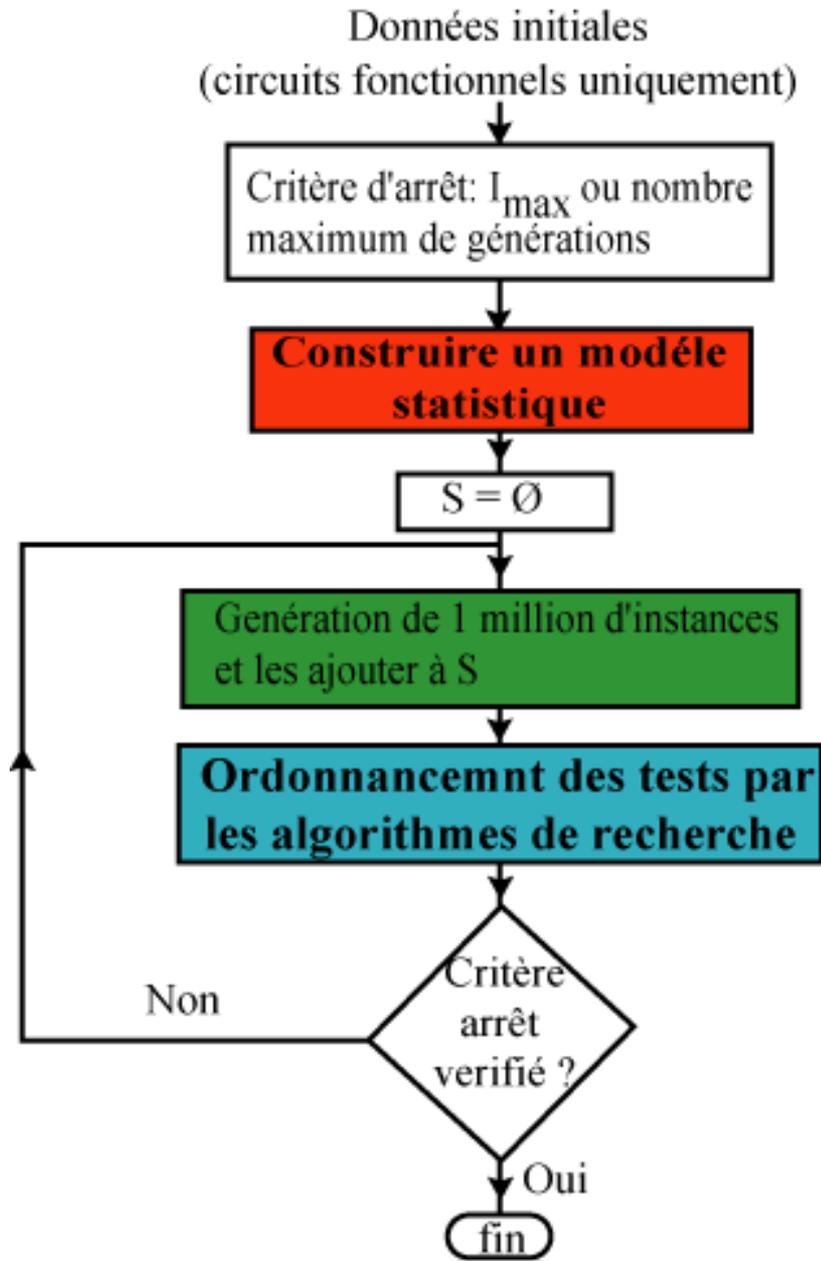
❖ Toutes ces techniques exigent des données sur les circuits défectueux qui peuvent être obtenues:

- ✗ au niveau de la production, les données ne sont disponible qu'après le test d'un grand volume de circuits
- ✗ simulation de fautes coûteuse en temps de calcul et utilisant des modèles irréalistes

2 La méthode d'ordonnancement

- ✓ Utilisation de peu de données (fonctionnelles) issues de la simulation Monte Carlo ou de la production
- ❖ Construction de modèle statistique des tests
- ❖ Génération d'une grande population de circuits synthétiques à partir du modèle statistique
- ❖ La population générée contiendra des circuits défectueux issus des déviations paramétriques
- ❖ Ordonnancement des tests sur la base des circuits défectueux en utilisant les algorithmes de recherche (Branch and Bound, algorithmes génétiques et recherche flottante)

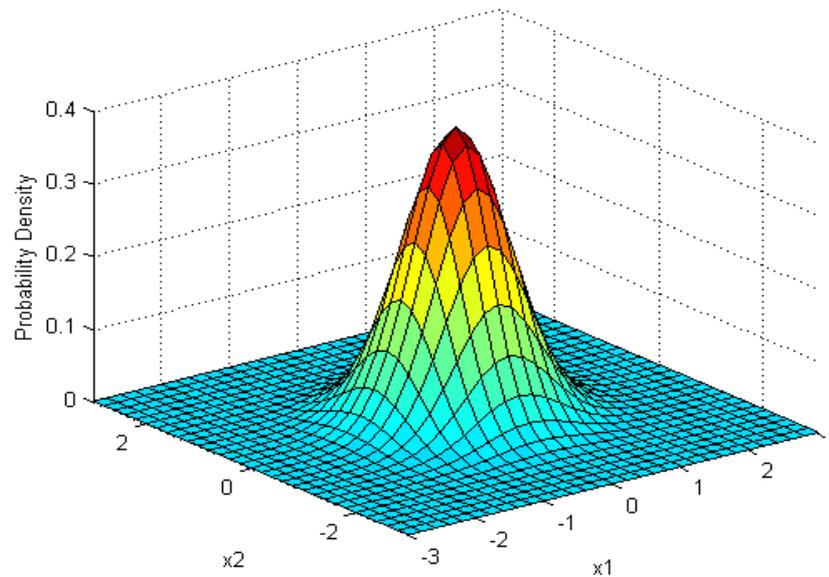
2 La méthode d'ordonnancement



2 La modélisation statistique

❖ Loi multi-normal

$$f(\mathbf{X}) = \frac{1}{\sqrt{\det(2\pi \Sigma)}} \exp \left[-\frac{(\mathbf{X} - \bar{\mathbf{X}})^T \Sigma^{-1} (\mathbf{X} - \bar{\mathbf{X}})}{2} \right]$$



Exemple à 2 dimensions

➤ Conditions de la multi-normalité

- Tous les tests Gaussiens
- Corrélations linéaires

2 La modélisation statistique

❖ Les Copules

$$f(X_1, \dots, X_n) = c[F_1(X_1), \dots, F_n(X_n)] \cdot \prod_{i=1}^n f_i(X_i)$$


Densité de
probabilité
conjointe

*Structure de
dépendance à n-
dimensions* →
Ajustement par une
copule

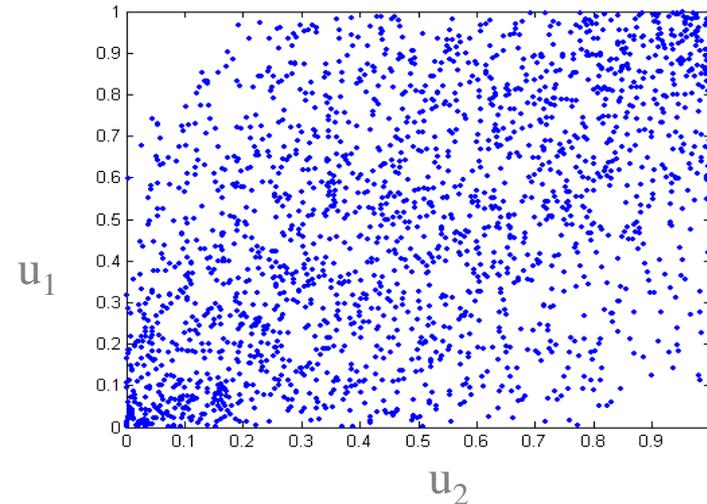
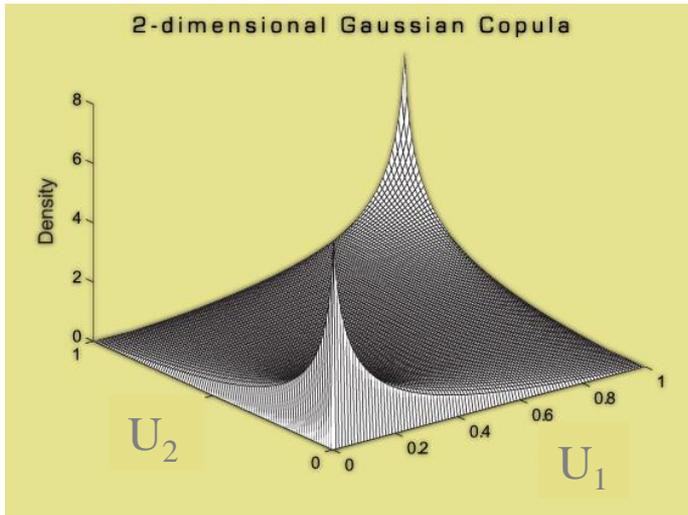
Densités de
probabilité
marginales

- ❖ La structure de dépendance (copule) est séparée des distributions marginales
- ❖ Il existe plusieurs types de copule

2 La modélisation statistique

❖ Ajustement par une copule Gaussienne

$$c_R(F_G(X_1), \dots, F_G(X_i), \dots, F_G(X_n)) = \frac{1}{\sqrt{(2\pi)^n |R|}} e^{-\frac{1}{2} X^T R^{-1} X} = \frac{1}{\sqrt{|R|}} e^{-\frac{1}{2} X^T (R^{-1} - I) X} \prod_{i=1}^n \frac{1}{\sqrt{2\pi}} e^{-\frac{1}{2} X_i^2}$$

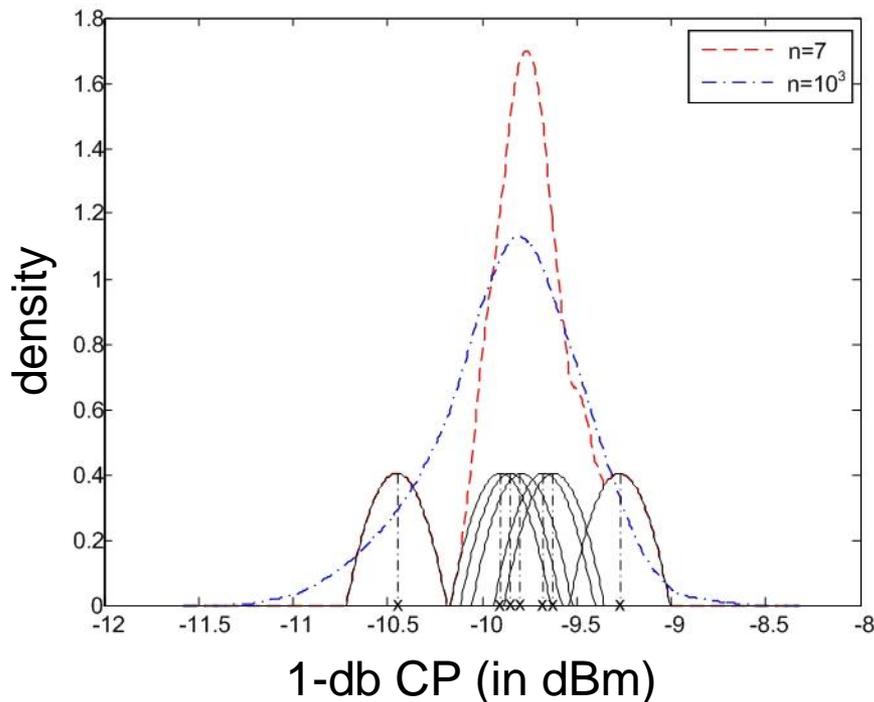


2 La modélisation statistique

❖ Le modèle non paramétrique

- Aucune hypothèse sur la forme de la densité de probabilité: modèle générale

❖ Méthode du noyau (KDE):



$$\tilde{f}(X_i) = \frac{1}{Nh} \sum_{j=1}^N K\left(\frac{1}{h}(X_i - x_i^j)\right)$$

Où:

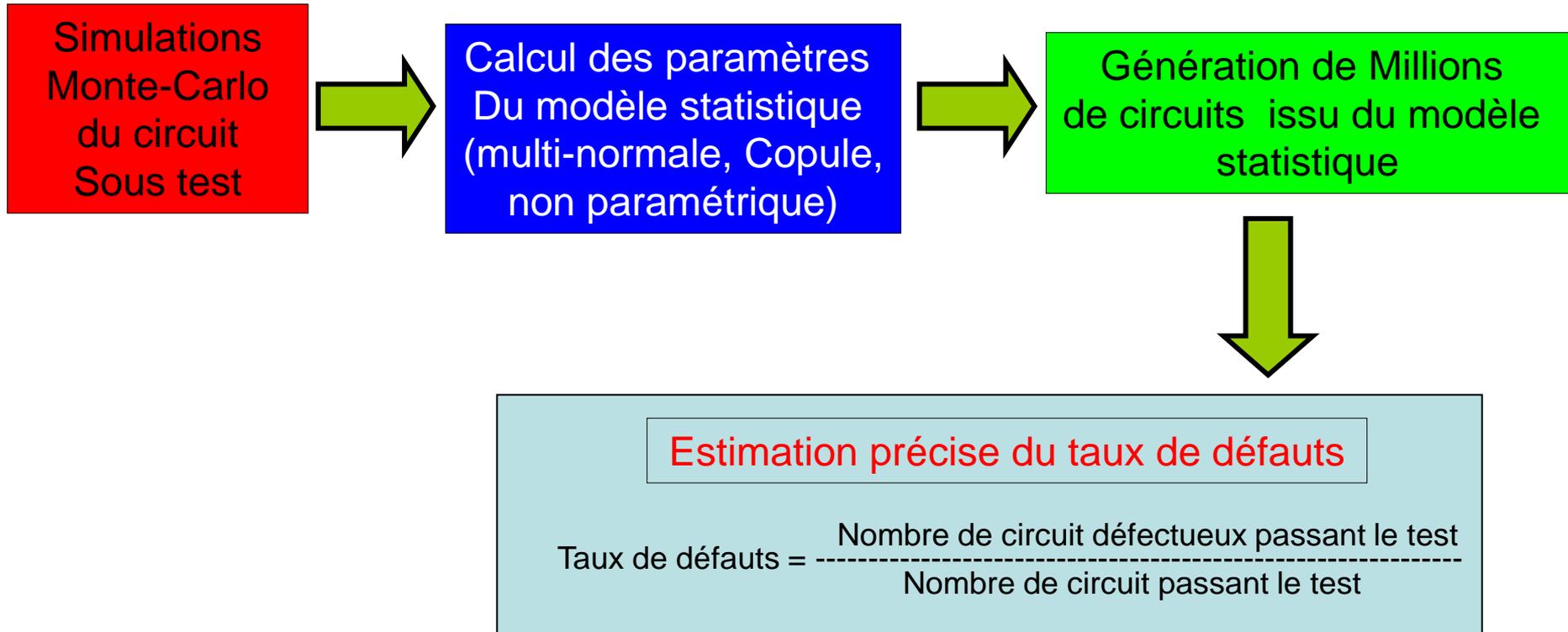
N = nombre de circuits

K = noyau (Epanechnikov, Gaussien...)

h = largeur de la fenêtre (bandwidth)

2

Estimation des métriques de test en utilisant la modélisation statistique

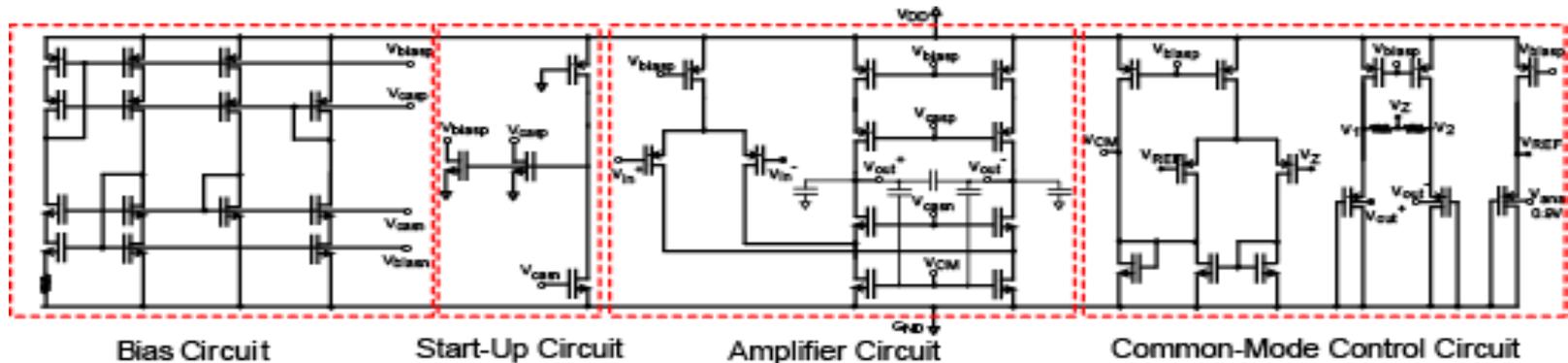


2 Les méthodes de recherche

- ❖ Séparation et évaluation (branch and bound)
 - Méthode optimale
 - Enumération implicite de l'ensemble totale des solutions
- ❖ Algorithmes génétiques
 - Heuristique (solution approchée)
 - Basé sur l'évolution d'une population d'individus (ordre) par des opérations (croisement, mutation) pour aboutir à une solution approchée du problème
- ❖ Recherche flottante (floating search)
 - Heuristique
 - Basé sur des étapes d'ajout et suppression de test (forward and backward steps)

2 Exemple d'application

❖ Amplificateur opérationnelle: circuit



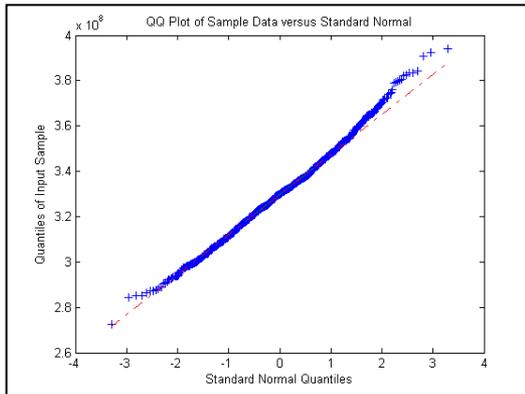
➤ Les tests doivent être Gaussiens avec des corrélations linéaires

Test	μ	σ	Specification	
			Low	high
Gain A_D	76.60dB	0.493dB	74.53dB	$+\infty$
GBW _D	330MHz	18.14MHz	250.47MHz	$+\infty$
Ph Margin	63.33	0.45	61.34	$+\infty$
CMRR	-42.76dB	1.02dB	$-\infty$	-38.44dB
PSRR G_{ND}	-29.99dB	3.65dB	$-\infty$	-14.78dB
PSRR V_{DD}	-28.21dB	3.75dB	$-\infty$	-12.56dB
THD	66.19dB	2.38dB	55.07dB	$+\infty$
I_{DD}	2.48mA	0.21mA	$-\infty$	3.5mA
Intermod.	67.57dB	1.09dB	62.35dB	$+\infty$
SR	73.14V/ μ s	5.55V/ μ s	45.37V/ μ s	$+\infty$
Noise	39.22 μ V	0.5 μ V	$-\infty$	41.68 μ V

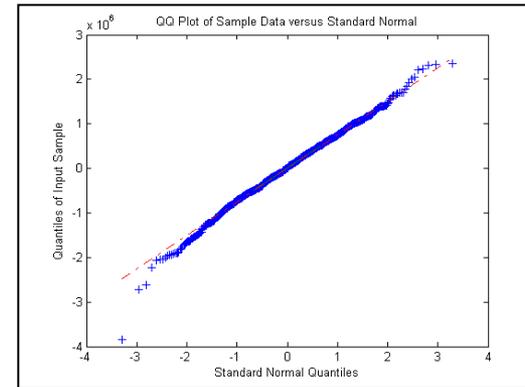
2 Exemple d'application

- ❖ **Amplificateur opérationnelle: test de normalité**
 - Utiliser la méthode de la droite de Henry (Normal quantile Plots) pour le test de normalité

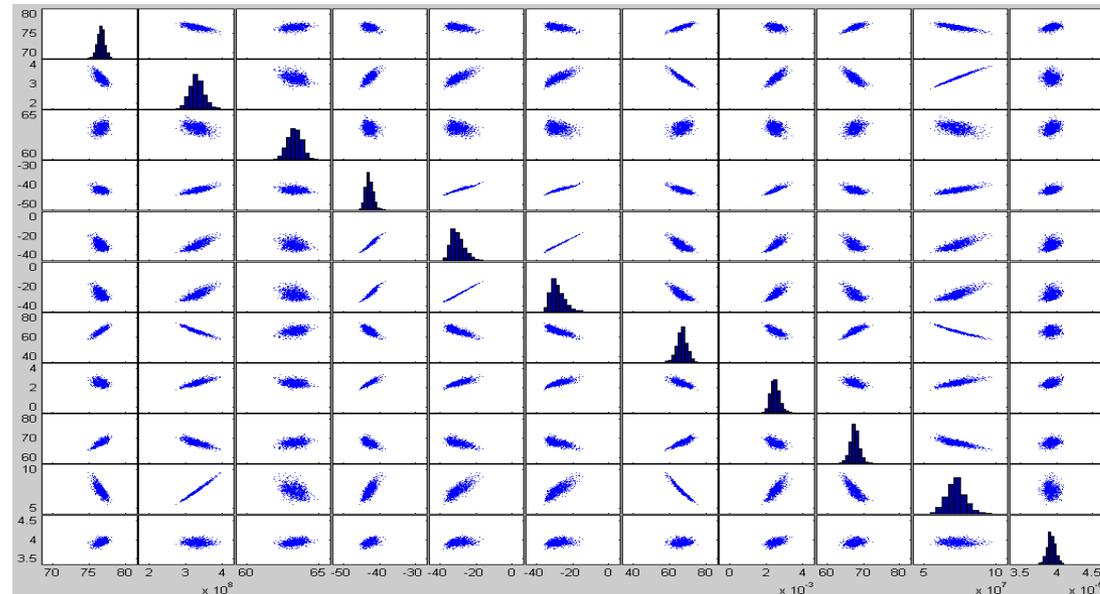
test N° 2



test N° 10



Les corrélations son linéaires



2 Exemple d'application

❖ Amplificateur opérationnelle: résultats

Ordonnancement	Test
1	SR+
2	I_{DD}
3	A_D
4	Phase Margin
5	Noise
6	Intermodulation
7	PSRR (V_{DD})
8	THD
9	CMRR
10	GBW_D
11	PSRR (G_{ND})

Ordonnancement

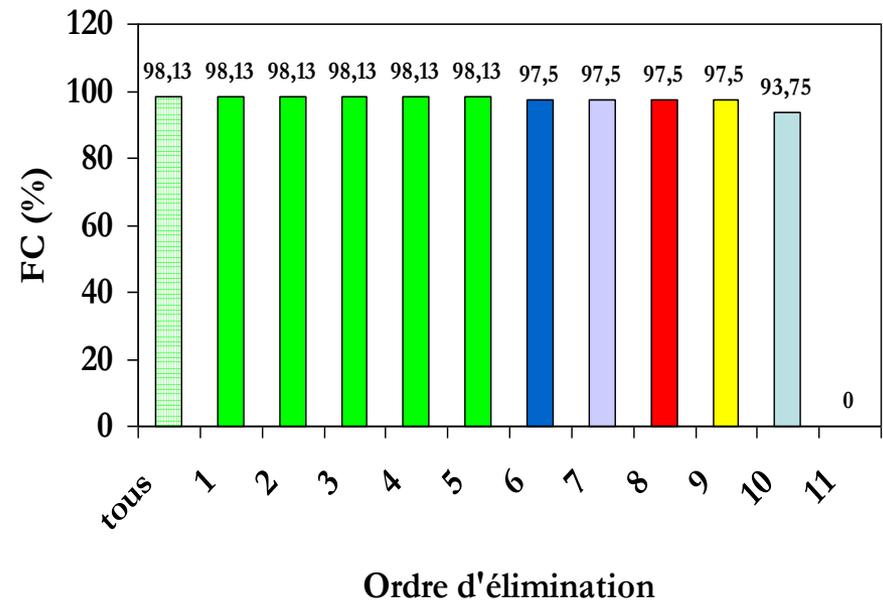
Ordre d'élimination	Test	Taux de défauts à 95% (en ppm)
1	PSRR (G_{ND})	[0.48 , 0.49]
2	GBW_D	[2.49 , 2.51]
3	CMRR	[4.99 , 5.02]
4	THD	[9.78 , 9.81]
5	PSRR (V_{DD})	[16.76 , 16.82]
6	Intermodulation	[24.19 , 24.29]
7	Noise	[32.51 , 32.65]
8	Phase Margin	[41.06 , 41.21]
9	A_D	[49.72 , 49.90]
10	I_{DD}	[58.50 , 58.71]
11	SR+	[67.40 , 67.67]

Ordre d'élimination

2 Exemple d'application

❖ Couverture de fautes catastrophiques

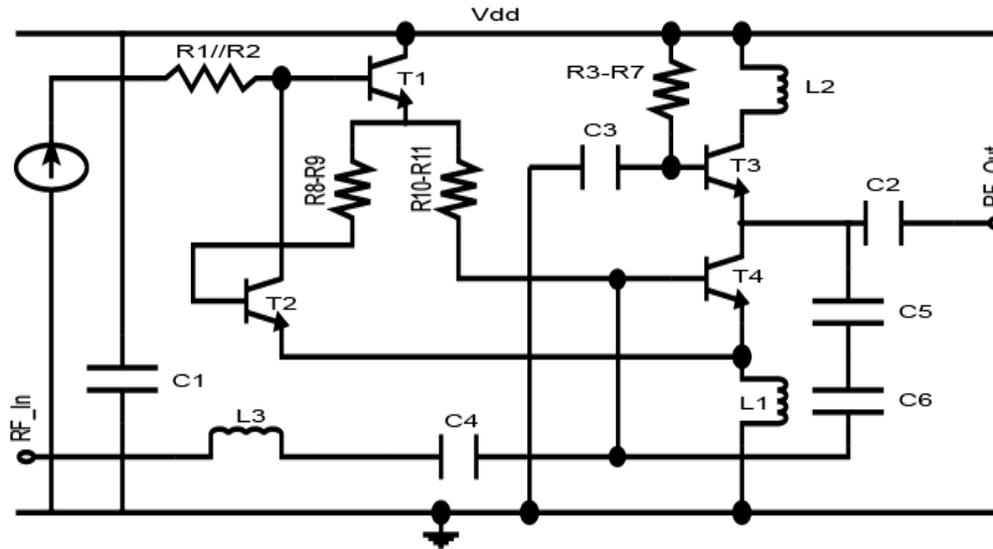
Ordre d'élimination	Test	Couverture de faute (%)
0	tous	98.13
1	PSRR (G_{ND})	98.13
2	GBW_D	98.13
3	CMRR	98.13
4	THD	98.13
5	PSRR (V_{DD})	98.13
6	Intermodulation	97.5
7	Noise	97.5
8	Phase Margin	97.5
9	A_D	97.5
10	I_{DD}	93.75
11	SR+	0



➤ Injection de 160 fautes catastrophiques (court-circuit, circuit ouvert).

2 Exemple d'application

❖ Amplificateur faible bruit (LNA): circuit



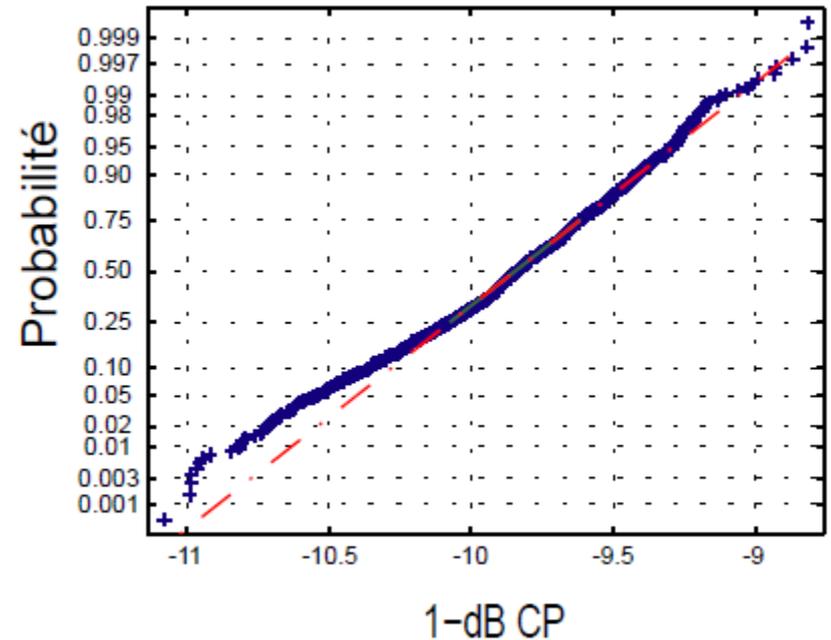
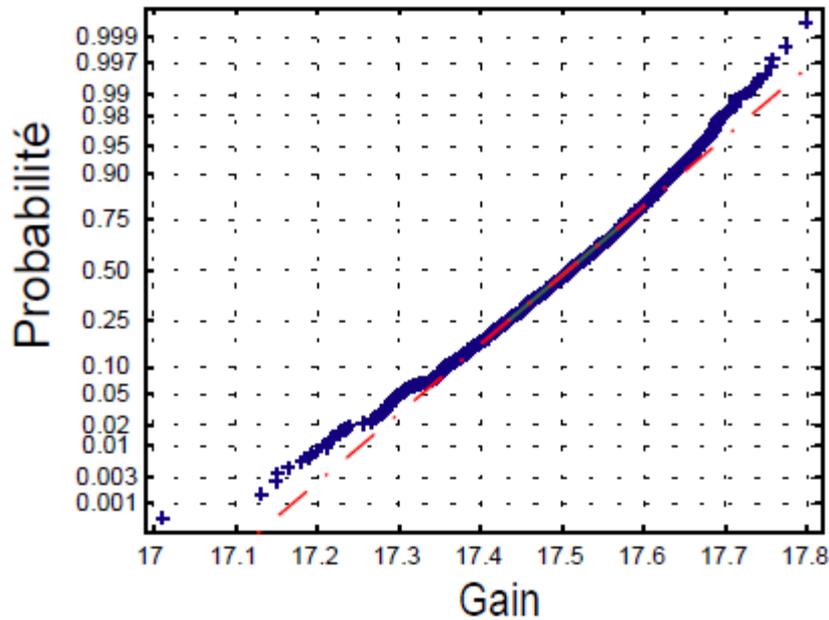
Amplificateur faible bruit LNA (Low Noise Amplifier) conçu sous la technologie 0.25 μm BiCMOS de STMicroelectronics

Test	Spécifications	
	Borne inférieure	Borne supérieure
NF	$-\infty$	1.3 dB
S_{11}	$-\infty$	-9 dB
Gain	17 dB	$+\infty$
1-dB CP	-11.3 dBm	$+\infty$
IIP ₃	-5.1 dBm	$+\infty$

Tableau des spécifications

2 Exemple d'application

❖ Amplificateur faible bruit (LNA): test de normalité



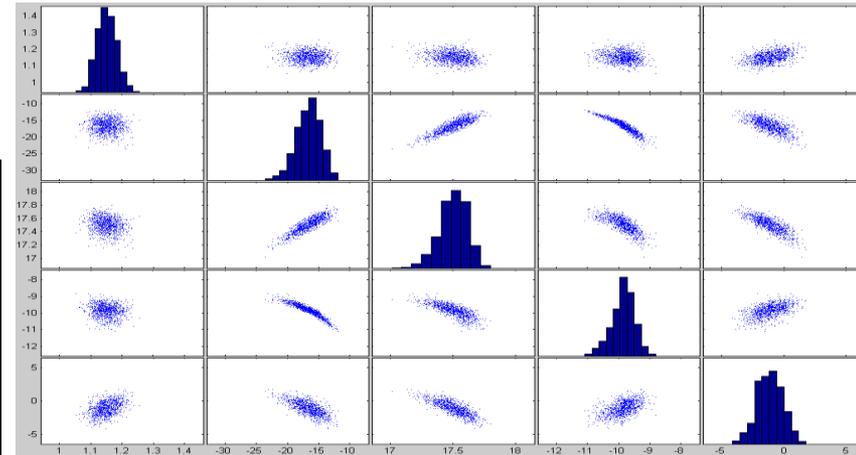
➤ Les tests du LNA ne suivent pas une distribution multi-normale

2 Exemple d'application

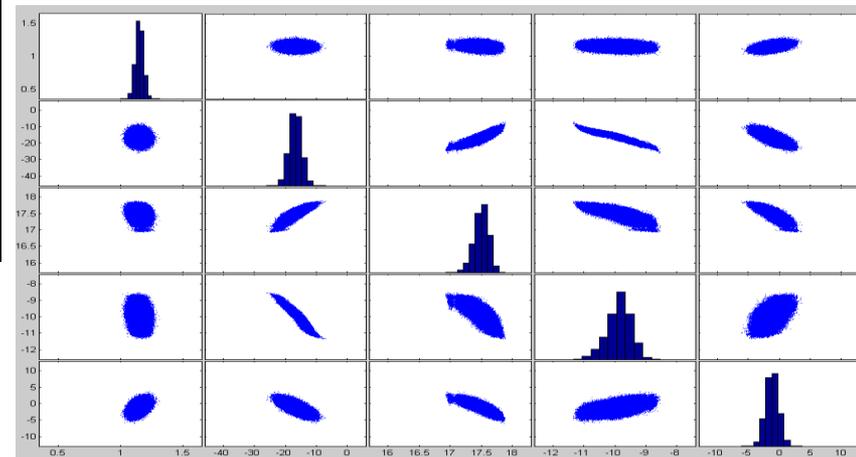
❖ Amplificateur faible bruit (LNA): copule

Test	Loi d'ajustement	Paramètres
NF	normale	$(\mu=1.15, \sigma=0.03)$
S_{11}	normale	$(\mu=-16.633, \sigma=1.953)$
Gain	KDE	Noyau=Gaussien, $h=0.029$
1-dB CP	KDE	Noyau=Gaussien, $h=0.089$
IIP ₃	normale	$(\mu=-1.121, \sigma=1.013)$

Ajustement des lois marginales



Données



Génération de 1 million d'instances

➤ Les tests du LNA peuvent être modélisés par une copule Gaussienne

2 Exemple d'application

❖ Amplificateur faible bruit (LNA): résultats

Ordonnement	Test
1	Gain
2	S_{11}
3	IIP3
4	NF
5	1-dB CP

Ordonnement

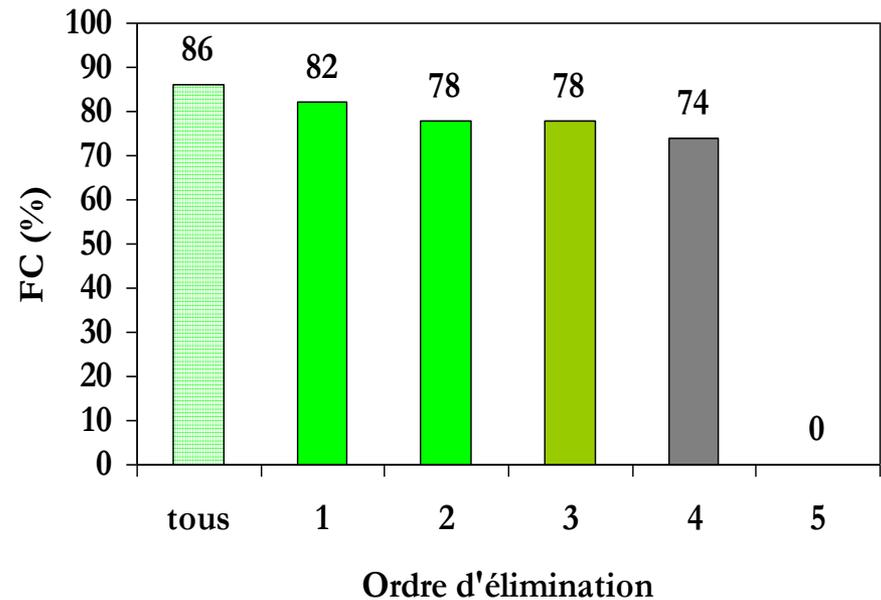
Ordre d'élimination	Test	Taux de défauts à 95% (ppm)
1	1-dB CP	[0.4 , 0.45]
2	NF	[34.19 , 34.91]
3	IIP3	[69.39 , 70.35]
4	S_{11}	[111.73 , 112.53]
5	Gain	[1091.49 , 1096.78]

Ordre d'élimination

2 Exemple d'application

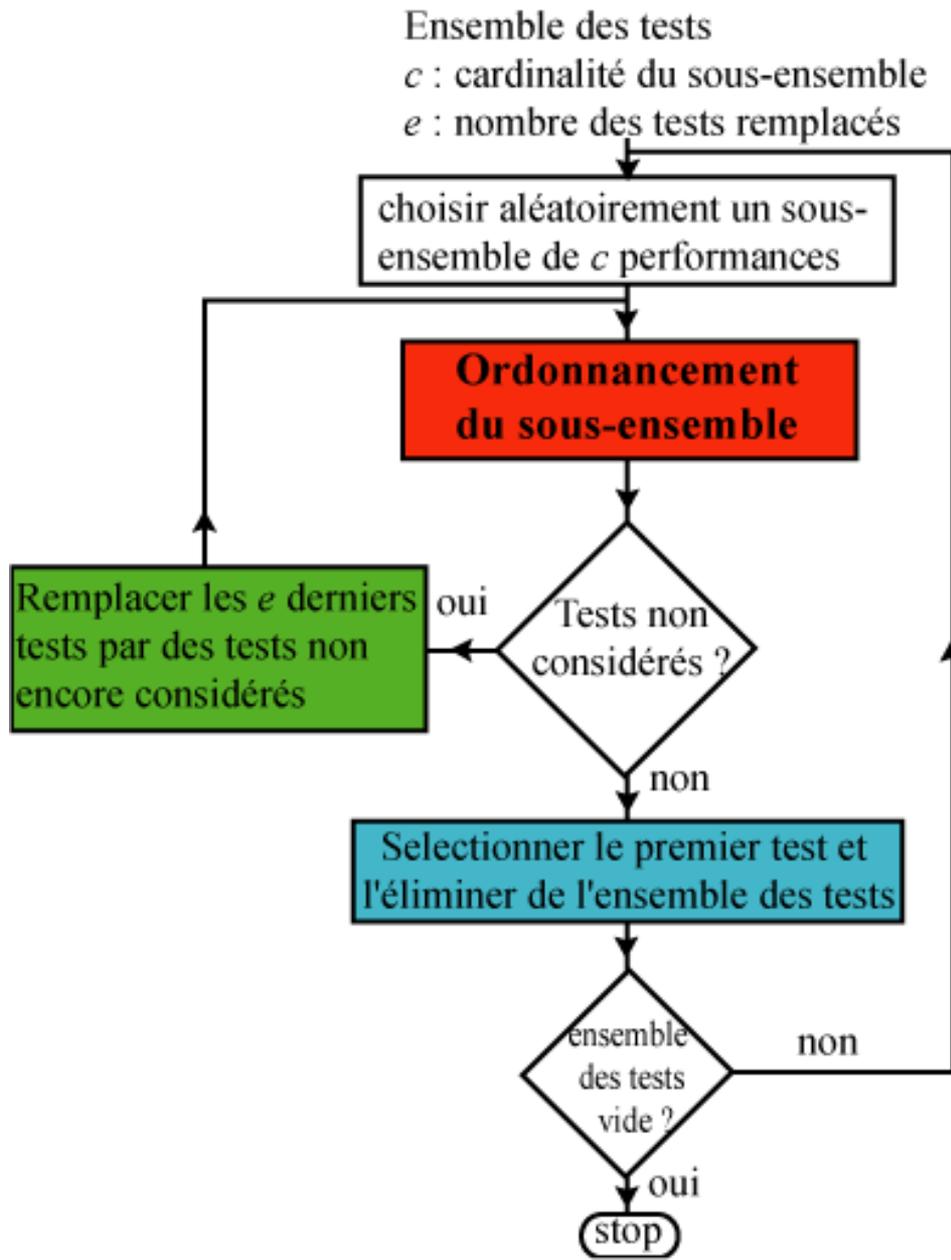
❖ Couverture de fautes catastrophiques

Ordre d'élimination	Test	Couverture de faute (%)
0	Tous	86
1	1-dB CP	82
2	NF	78
3	IIP3	78
4	S_{11}	74
5	Gain	0



- Injection de 50 fautes catastrophiques (court-circuit, circuit ouvert).

2 La méthode de décomposition



➤ Décomposer l'ensemble des tests en sous-ensembles plus facile à:

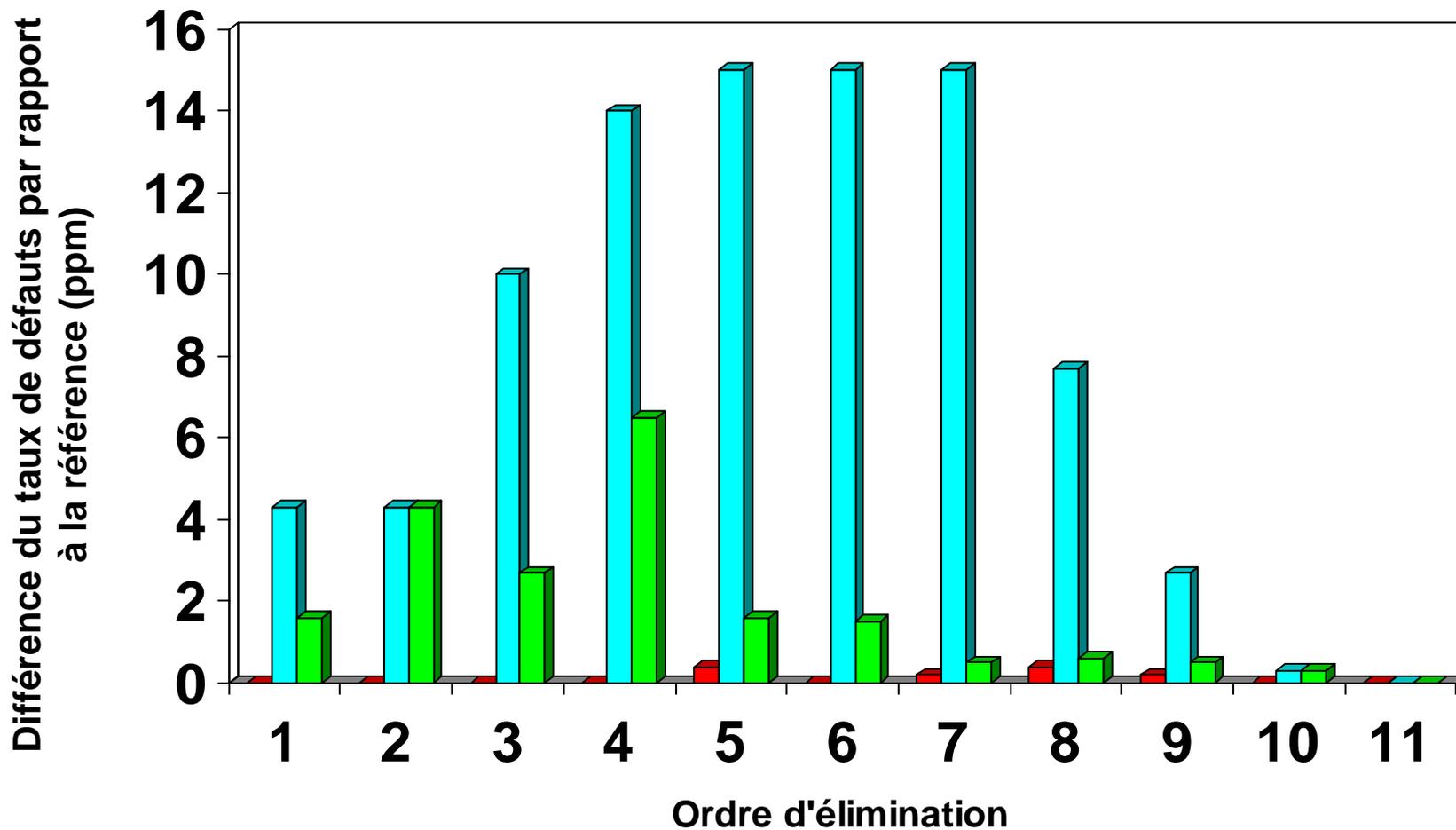
- modéliser
- ordonner

2

La méthode de décomposition

Paramètres de l'algorithme:
($c=8$, $e=1$ and $l_{max}=10$)

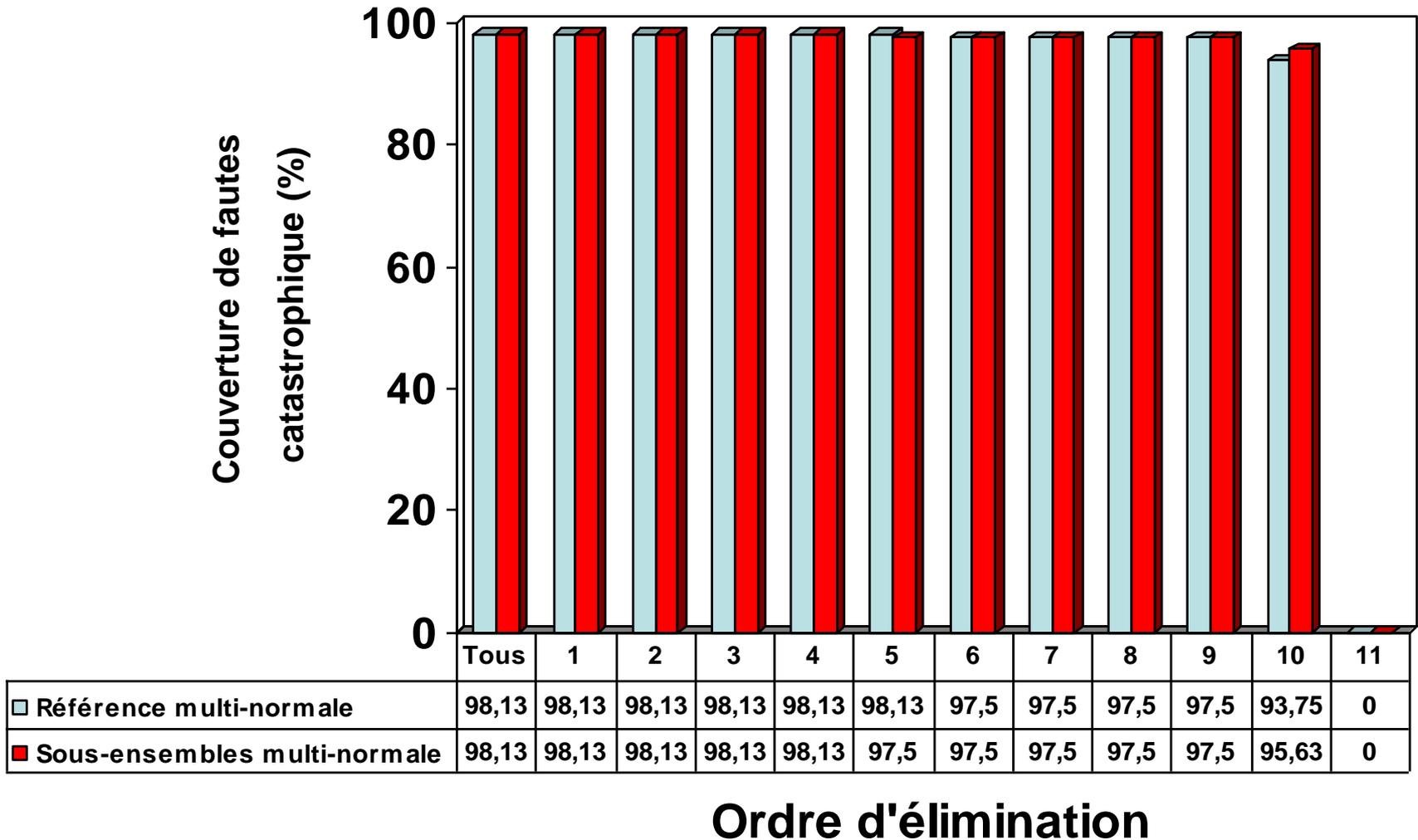
❖ Application sur l'amplificateur opérationnelle



■ sous-ensembles multi-normale ■ sous-ensemble KDE ■ heuristique des corrélations

2 La méthode de décomposition

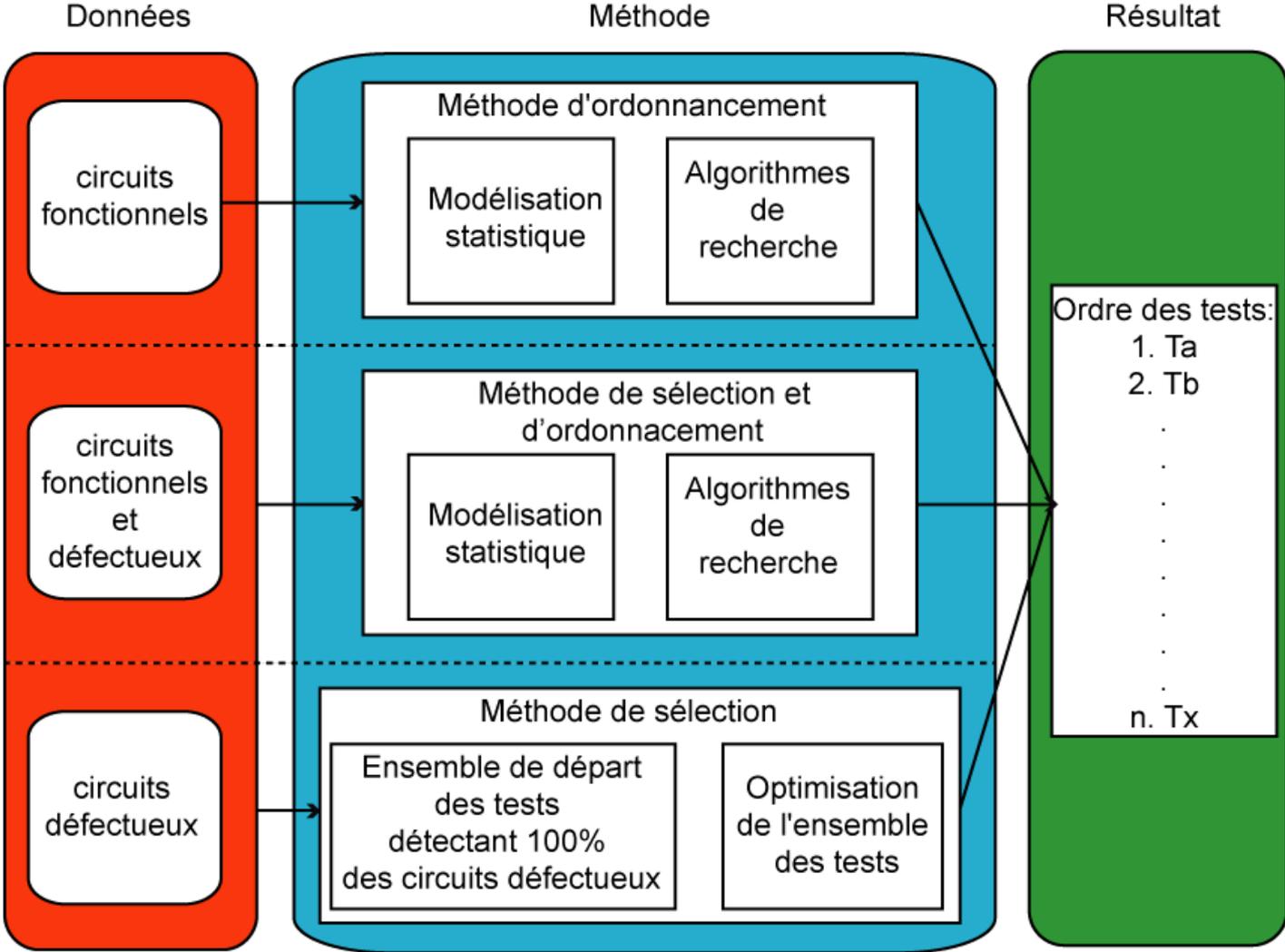
❖ Application sur l'amplificateur opérationnelle



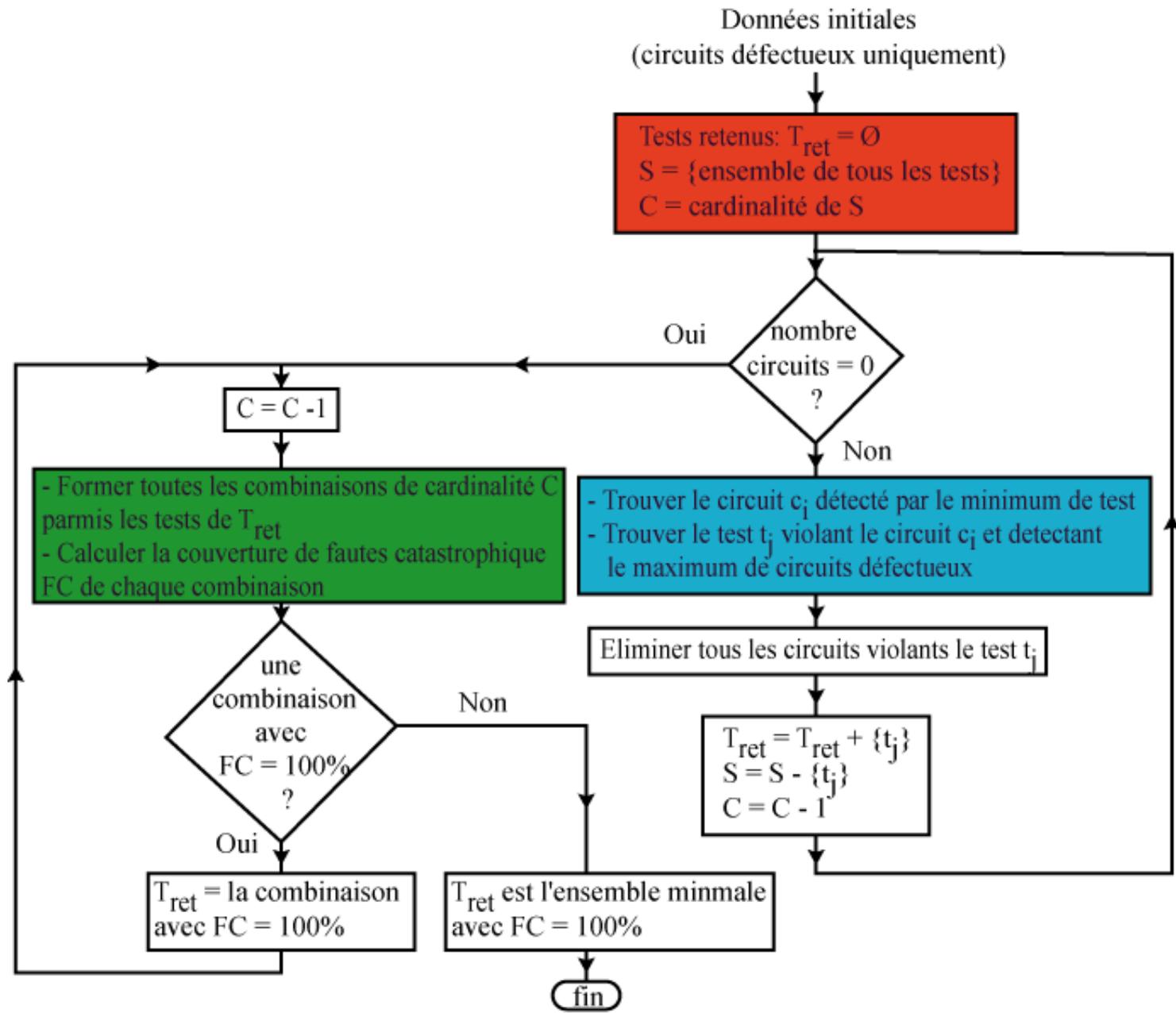
➤ Modèle de faute: 160 fautes catastrophiques

2

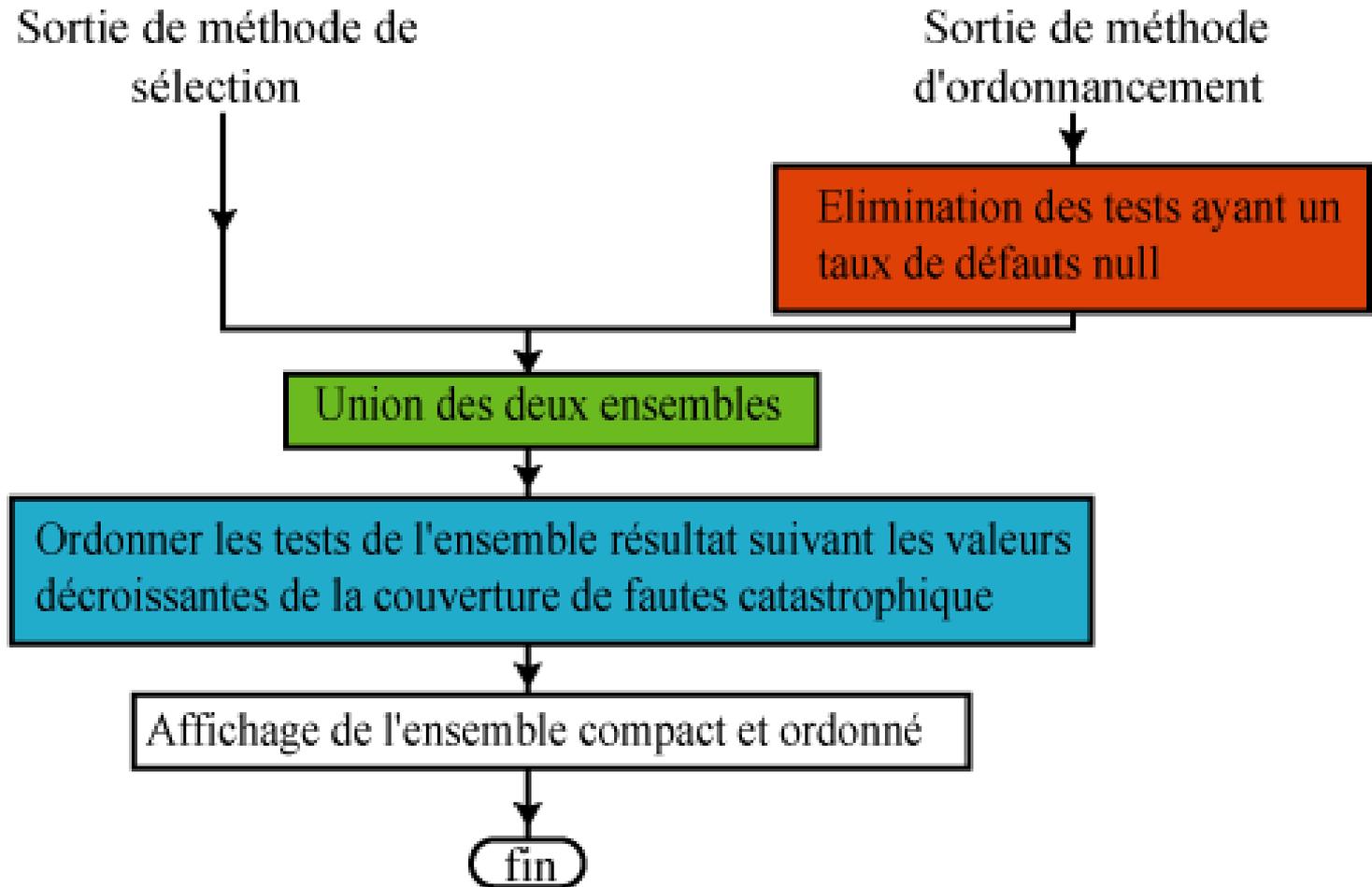
Méthodes utilisant les circuits défectueux



2 La méthode de sélection



2 La méthode de sélection et d'ordonnancement



3 Résultats expérimentaux

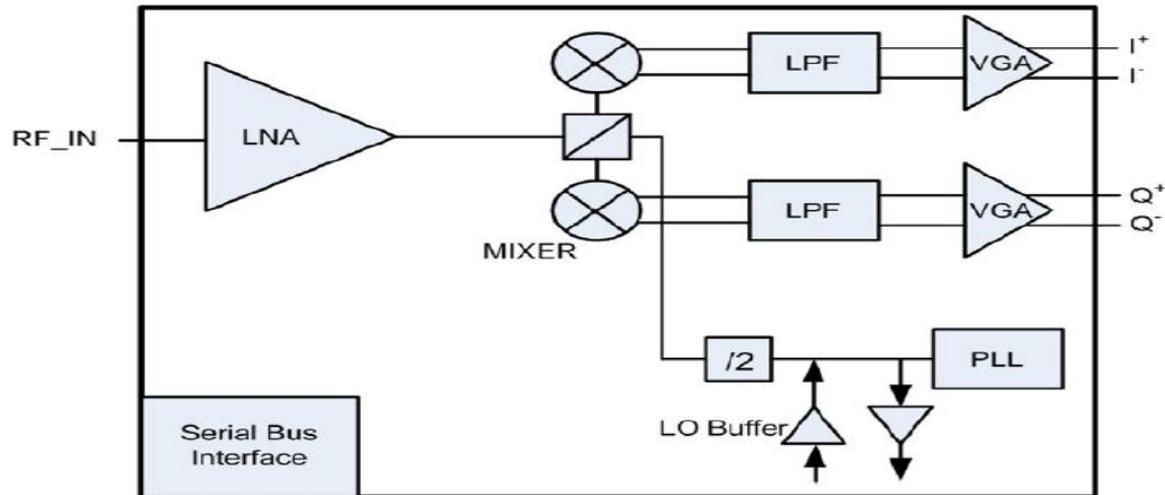


Schéma du circuit d'IBM

N°	Catégorie	Type	Nombre de test
0	Partie numérique	numérique	25
1	Courant d'alimentation	DC	34
2	Convertisseur numérique/analogique (DAC)	Mixte	6
3	Boucle de verrouillage de phase (PLL)	Mixte	7
4	Filtre	RF	20
5	Mixer	RF	43
6	Amplificateur faible bruit (LNA)	RF	8

Tableau des spécifications

- Le circuit sous test est composé de 143 tests réparties en 6 catégories
- La partie numérique (25 tests) n'est pas considérée dans ce travail

3 Résultats expérimentaux

❖ La méthode d'ordonnancement

Ordonnancement	N° test
1	t_3
2	t_1
3	t_5
4	t_8
5	t_7
6	t_6
7	t_4
8	t_2

Ordonnancement

Ordre d'élimination	N° test	Taux de défauts à 95% (ppm)
1	t_2	[0 , 0]
2	t_4	[0 , 0]
3	t_6	[0 , 0]
4	t_7	[0 , 0]
5	t_8	[0 , 0]
6	t_5	[0.01 , 0.02]
7	t_1	[24.73 , 26.03]
8	t_3	[151.57 , 152.75]

Ordre d'élimination

Ordonnancement et ordre d'élimination des tests de la catégorie 6 (LNA)

- Ordonnancement des tests des 6 catégories
- Ordre d'élimination des tests des 6 catégories
- Construction d'intervalles de confiance à 95% du taux de défauts pour chaque élimination.

3 Résultats expérimentaux

❖ La méthode de sélection

N°	Catégorie	Type	Nombre de tests	Nombre de tests retenus	Nombre de tests éliminés
1	Courant d'alimentation	DC	34	3	31
2	Convertisseur numérique/analogique (DAC)	Mixte	6	4	2
3	Boucle de verrouillage de phase (PLL)	Mixte	7	2	5
4	Filtre	RF	20	3	17
5	Mixer	RF	43	11	32
6	Amplificateur faible bruit (LNA)	RF	8	4	4
Total			118	27	91

- Le nombre de tests retenus à été réduit à 22 % des tests
- Élimination de 78% des tests

3 Résultats expérimentaux

❖ La méthode de sélection et d'ordonnancement

N°	catégorie	Type	Nombre de test	nombre de tests retenus	nombre de tests éliminés
1	Courant d'alimentation	DC	34	4	30
2	Convertisseur numérique/analogique (DAC)	Mixte	6	4	2
3	Boucle de verrouillage de phase (PLL)	Mixte	7	2	5
4	Filtre	RF	20	5	15
5	Mixer	RF	43	23	20
6	Amplificateur faible bruit (LNA)	RF	8	4	4
Total			118	42	76

- Le nombre de tests retenus à été réduit à 36 % des tests
- Élimination de 64% des tests

4 Conclusion et perspectives

- Proposition de méthodes d'ordonnement de tests basées sur l'estimation du taux de défauts:
 - la méthode d'ordonnement des tests traite les circuits dont on ne dispose que de peut de données sur les circuits fonctionnels
 - la méthode de sélection traite les circuits ayant des données sur les circuits défectueux
 - la méthode de sélection et d'ordonnement ordonne les tests d'un circuit dont les données comportent des circuits fonctionnels et défectueux
- Proposition d'un ordre d'élimination des tests avec des intervalles de confiance sur le taux de défauts

4 Conclusion et perspectives

- Modélisation statistique du circuit sous test avec différentes modélisations: multi-normale, copule et non paramétrique
- Ordonnancement des tests suivant différents algorithmes de recherche: branch and bound, algorithmes génétiques et recherche flottante.
- Applications sur les données de simulation d'un amplificateur opérationnelle et d'un amplificateur faible bruit (LNA)
- Application sur un circuit industriel d'IBM avec 118 tests et réduction du nombre de tests de 64%

4 Conclusion et perspectives

- Rendre la méthode de test adaptatif, en mettant à jour l'ordre des tests au fur et à mesure de la disponibilité de nouvelles données de test de production
- Adaptation de la méthode d'ordonnancement des tests aux spécificités des testeurs (ATE)
- Prise en charge du test multi-site des nouveaux testeurs (test de plusieurs circuits en parallèle).

Merci pour votre attention

Questions ?

Liste des publications

Conférences internationales et Workshops avec comité de lecture

- [1] N. Akkouche, S. Mir and E. Simeu. Ordering of Functional Tests Based on Parametric Defect Level Estimation, 28th IEEE VLSI Test Symposium (VTS'10), April 2010, Santa Cruz, California, USA, pp. 301-306.
- [2] N. Akkouche, A. Bounceur, S. Mir and E. Simeu. Minimization of functional tests by statistical modelling of analogue circuits. In Design and Technology of Integrated Systems (DTIS), Rabat, Morocco, September 2007, pp. 35-40.
- [3] N. Akkouche, A. Bounceur, S. Mir and E. Simeu. Functional test compaction by statistical modelling of analogue circuits. 13th IEEE International Mixed-Signals Testing Workshop, Porto, Portugal, June 2007, pp. 20-24.
- [4] M. Tari, M. Bentoubache, N. Akkouche et L. Boukir, Flowshop Scheduling Simulation, Acte du colloque international sur l'optimisation et système d'information, Colloque sur l'Optimisation et les Systèmes d'Information COSI'05, du 12 au 14 juin 2005, Bejaia, Algérie.

Conférences nationales

- [5] N. Akkouche, S. Mir et E. Simeu, Modélisation statistique de circuits analogiques et mixtes pour l'optimisation du test de production, Premières journées du projet SEmba, Les 22 et 23 Octobre 2009 aux Balcons du Lac d'Annecy.
- [6] N. Akkouche, S. Mir, E. Simeu and H. Stratigopoulos. Réduction de tests fonctionnels en utilisant des techniques d'estimation non paramétrique. 11ème Journées Nationales du Réseau Doctoral en Microélectronique, Bordeaux, France, May, 2008.
- [7] N. Akkouche, A. Bounceur et S. Mir. Réduction de tests fonctionnels par modélisation statistique des circuits analogiques. 10ème Journées Nationales du Réseau Doctoral de Microélectronique, Lille, France, May 2007.

Mémoires soutenus

- [8] N. Akkouche, Techniques d'optimisation du test analogique en utilisant des méthodes statistiques, Mémoire de Master 2 Recherche en Mathématiques appliquées, option: Modélisation Mathématiques et Applications, Université Jean Monnet, Saint-Etienne, France, Septembre 2006.
- [9] N. Akkouche, Sur les méthodes numériques d'aide Multicritère à la décision, Mémoire de Magistère en Mathématiques Appliquées, option: Modélisation et techniques d'aide à la décision, Université de Bejaia, Algérie, Septembre 2005.
- [10] N. Akkouche, Application de la gestion de projet à ressources limitées au domaine de la construction bâtiment, Mémoire d'Ingénieur en Recherche Opérationnelle, Université de Bejaia, Algérie, Octobre 2002.